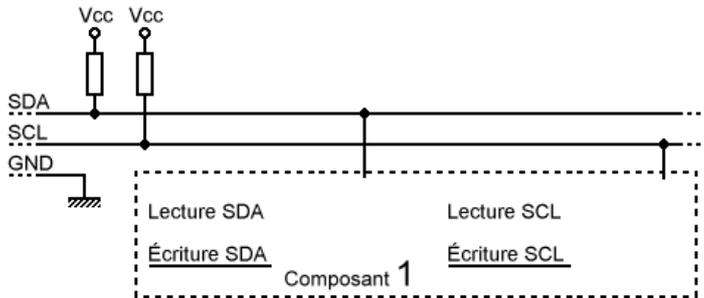


1 * CARACTÉRISTIQUES

Le bus I²C permet de faire communiquer entre eux des **composants ou des cartes** électroniques très divers grâce à seulement trois fils : un signal de données (**SDA**), un signal d'horloge (**SCL**), et un signal de référence électrique (**masse**).



Il s'agit d'une liaison en mode série, . Le bus I²C permet des échanges à la vitesse de 100 kbits par seconde

Le mode «Fast» a été ajouté pour permettre une communication à 400 kbits/s

Le mode «High-speed» permettant la communication à 3,4 Mbits/s a été ajouté.

2 * PROTOCOLES

Ce protocole est défini par la succession des états que peuvent prendre les signaux SDA et SCL.

Ce protocole est relativement simple et puissant à la fois.

Il peut être décomposé en plusieurs parties distinctes :

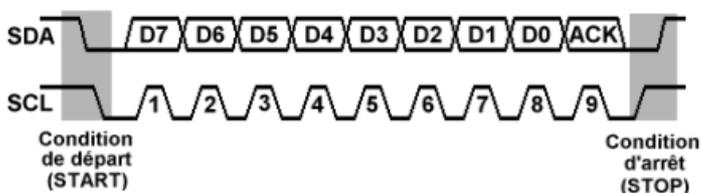
- La prise de parole.
- Condition de départ
- Adresse destinataire
- Mode Lecture/Ecriture
- Acquiescement
- Donnée en Lecture/Ecriture
- Acquiescement
- Condition d'arrêt

Un circuit doit vérifier que les lignes SDA et SCL sont au repos, (état haut). Si c'est le cas, il indique qu'il prend le contrôle du bus en mettant la ligne SDA à 0.

A partir de ce moment là, les autres circuits savent que le bus est occupé. Le circuit qui vient de prendre le contrôle du bus en devient le **maître**

C'est lui qui génère le signal d'horloge, quel que soit le sens du transfert.

La prise de parole.



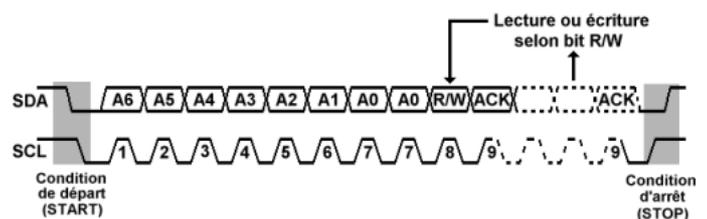
Avant de placer l'octet à transmettre, le maître doit placer la ligne d'horloge SCL à 0. Tant que la ligne SCL est au niveau haut, la ligne SDA ne doit pas changer d'état, sinon cette condition sera interprétée comme la condition d'arrêt. La condition arrêt peut survenir même au milieu d'une transmission.

Pour transmettre correctement les bits sur la ligne SDA, le maître doit donc tout d'abord placer la ligne SCL à 0. Ensuite, le maître peut placer la ligne SDA au niveau correspondant au bit à transmettre et replacer la ligne SCL au niveau 1 pour indiquer que le bit est présent sur la ligne SDA. La même opération va se répéter autant de fois que nécessaire pour transmettre les 8 bits. Notez que c'est le bit de poids fort qui est transmis en premier.

Le circuit qui vient de recevoir les données doit imposer un bit d'acquiescement ACK sur la ligne SDA. Pour cela, pendant que la ligne SCL est au niveau bas, le maître place sa propre sortie au niveau haut, tandis que le récepteur (auss appelé l'esclave) place sa sortie au niveau bas, la ligne SDA restera au niveau bas à cause de l'esclave. Le maître relit ensuite la ligne SDA une fois qu'il a passé la ligne SCL au niveau haut. Si la valeur lue pour le bit ACK est 0, c'est que l'esclave s'est bien acquitté de l'octet reçu, sinon c'est qu'il y a une erreur et le maître doit générer la condition arrêt.

LA TRANSMISSION D'UNE ADRESSE

Le maître doit pouvoir choisir quel esclave est censé recevoir les données. Dans ce but, le premier octet que transmet le maître n'est pas une donnée mais une adresse. Le format de l'octet d'adresse est un peu particulier puisque le bit D0 est réservé pour indiquer si le maître demande une lecture à l'esclave ou bien au contraire si le maître impose une écriture à l'esclave.



Chaque circuit connecté au bus I²C possède une adresse, qui doit être unique. L'adresse associée à un composant est définie en partie par l'état de broches de sélections et d'autre part par sa fonction. Par exemple, le circuit PCF8574, qui est un port d'entrées/sorties bidirectionnel 8 bits, décompose son adresse de la façon suivante:

[0] [1] [0] [0] [A2] [A1] [A0] [R/W].

Les bits A2, A1 et A0 reflètent l'état des broches 1, 2 et 3 du circuit.

Cela permet de placer 8 circuits PCF8574 sur le bus I²C.

ÉCRITURE D'UNE DONNÉE

Si le bit R/W précédemment envoyé était à 0, cela signifie que le maître doit transmettre un ou plusieurs octets de données.

Après chaque bit ACK valide, le maître peut continuer d'envoyer des octets à l'esclave ou bien il peut décider de terminer le dialogue par une condition d'arrêt.

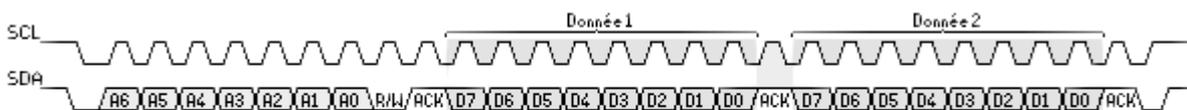
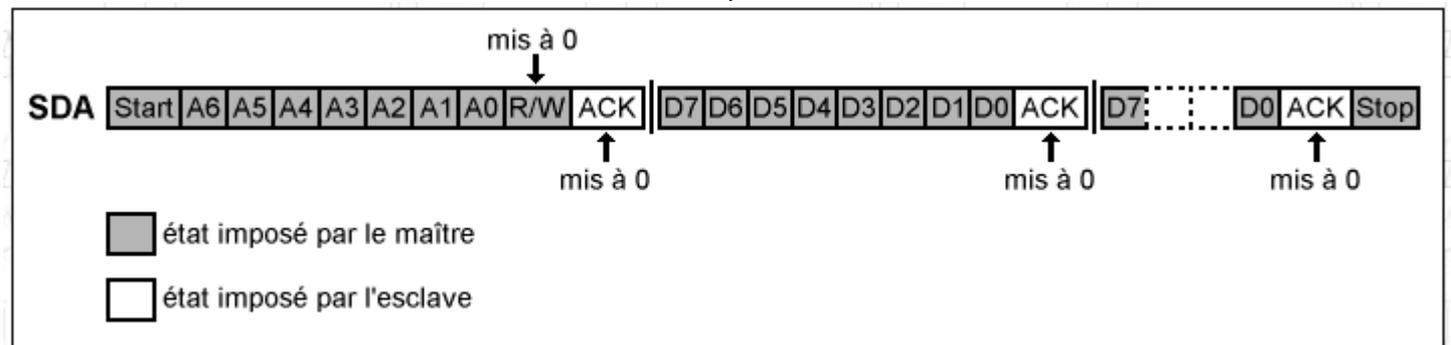
LECTURE D'UNE DONNÉE

Si le bit R/W précédemment envoyé était à 1, cela signifie que le maître veut lire des données issues de l'esclave.

C'est toujours le maître qui va générer le signal d'horloge SCL. En revanche, après le bit ACK de l'adresse, c'est l'esclave qui va garder le contrôle de la ligne SDA. Pour cela, le maître va placer sa propre sortie SDA au niveau haut pour permettre à l'esclave de prendre le contrôle de la ligne SDA. L'esclave doit alors scruter la ligne SCL et attendre le niveau bas pour changer l'état de la ligne SDA,

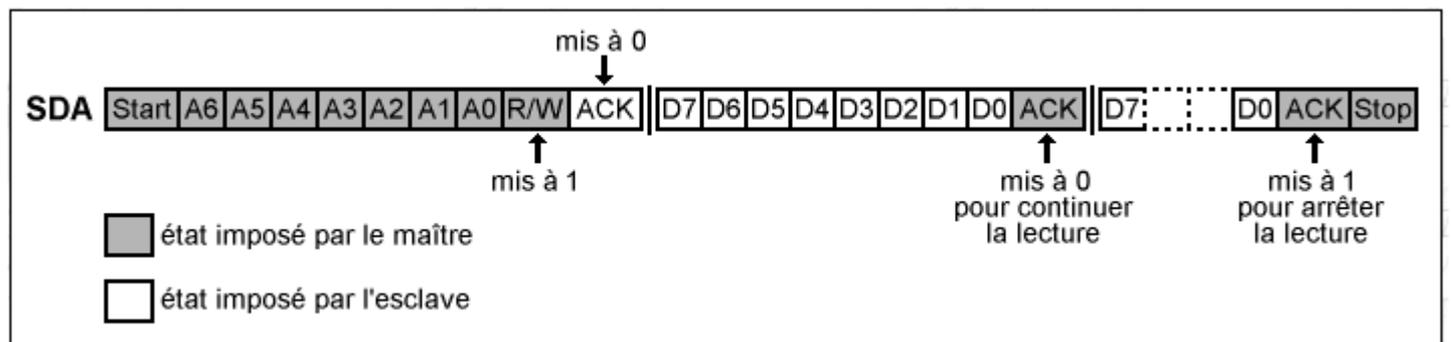
Après que l'esclave a transmis les 8 bits de données, c'est le maître, cette fois-ci, qui va générer un bit d'acquiescement. Si le maître désire lire des octets supplémentaires, il placera le bit d'acquiescement à 0. En revanche, si le maître décide que la lecture est terminée, il placera le bit ACK au niveau 1. L'esclave comprendra alors que le transfert est terminé. Cette fois-ci, bien que le bit ACK soit au niveau 1, cela ne correspond pas à une condition d'erreur mais à une fin de transfert.

écriture d'une donnée:



Exemple d'écriture de plusieurs octets

lecture d'une donnée



3* Longueur maxi du bus :

page 2/2

40 CM 3M avec extention LD (longue distance)

4 * Quelques circuits :



Nom	Fonction	Adresse							
		A6	A5	A4	A3	A2	A1	A0	AO
	Adresse de communication générale	0	0	0	0	0	0	0	0
	Adresses Réservées	0	0	0	0	X	X	X	X
	Octet de poids fort en adressage 10 bits	1	1	1	1	1	A9	A8	
PCD3311112	(Générateur de tonalité (DTMF, modem, musique))	0	1	0	0	1	0	AO	
PCF8200	Synthétiseur de paroles	0	0	1	0	0	0	0	
PCF8566	Commande d'affichage LCD universelle	0	1	1	1	1	1	AO	
PCF8570	RAM statique (256x8)	1	0	1	0	A2	A1	AO	
PCF8571	RAM statique (128x8)	1	0	1	1	A2	A1	AO	
PCF8572	EEPROM (128x8)	1	0	1	0	A2	A1	AO	
PCF8573	Horloge tps réel 1 Calendrier	1	1	0	1	0	A1	AO	
PCF8574	Port d'EIS 8bits	0	1	0	0	A2	A1	AO	
PCF8574A	Port d'EIS 8bits	0	1	1	1	A2	A1	AO	
PCF8576	Commande d'affichage LCD universelle	0	1	1	1	0	0	AO	
PCF8577	Commande d'affichage LCD à 64 segments	0	1	1	1	0	1	0	
PCF8577A	Commande d'affichage LCD à 64 segments	0	1	1	1	0	1	1	
PCF8578	Commande d'affichage matricielle LCD	0	1	1	1	1	0	AO	
PCF8579	Commande d'affichage matricielle LCD	0	1	1	1	1	0	AO	
PCF8582A	EEPROM (256x8)	1	0	1	0	A2	A1	AO	
PCF8583	Horloge 1 Calendrier avec RAM statique	1	0	1	0	0	0	AO	
PCF8591	Convertisseur AIN et NIA 8 bits	1	0	0	1	A2	A1	AO	
SAA1064	Commande de LED à 4 chiffres	0	1	1	1	0	A1	AO	